

РАЗРАБОТКА ПРАВИЛ ЭКСТРАКЦИИ МОП-ТРАНЗИСТОРОВ В САПР CADENCE

Горячкин Ю. В.

ГОУВПО «Мордовский государственный университет им. Н. П. Огарева», г. Саранск

E-mail: yurygor@newmail.ru

Аннотация. Описываются правила экстракции МОП-транзисторов для программного пакета верификации топологии ИМС Diva, входящего в состав САПР Cadence. Разработанные правила экстракции применимы для КМОП и БиКМОП технологических процессов.

Ключевые слова: МОП-транзистор, ИМС, САПР, КМОП, БиКМОП, Cadence, правила проектирования, экстракция.

Компания Cadence Design Systems – признанный мировой лидер в области разработки интегральных микросхем. Средства проектирования компании Cadence охватывают все стадии разработки – от проектирования на системном уровне до топологии ИМС и формирования документации для передачи в производство. Для разработки топологии предназначен топологический редактор Virtuoso [1]. По окончании разработки топологии ее необходимо проверить на соответствие правилам проектирования и произвести экстракцию элементов и паразитных параметров с учетом реального размещения элементов и проводников на кристалле. Для решения всего комплекса задач верификации топологии ИМС предназначен пакет Diva [2]. Он содержит средства проверки проектных норм (DRC), позволяет сравнить разработанную топологию с принципиальной схемой (LVS). С помощью средств верификации из топологии можно экстрагировать элементы и паразитные параметры (LPE), а затем с их учетом промоделировать схему.

На рисунке 1 показан поток программных продуктов, используемых для верификации.

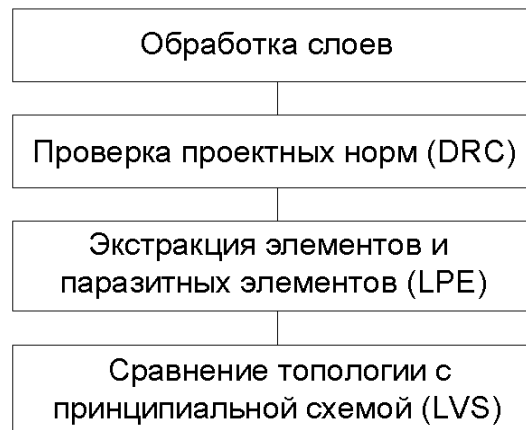


Рисунок 1 – Поток программных продуктов, используемых для верификации

Одним из наиболее трудоемких этапов верификации проекта является экстракция элементов и LVS проверка, то есть проверка соответствия между схмотехническим представлением схемы и ее топологией. При проведении проверки пакет Diva руководствуется набором правил, которые позволяют экстрагировать топологию и проводить сравнение с ее схмотехническим представлением. По сложившейся практике подобные правила пишут сами разработчики для каждой конкретной технологии.

Таким образом, прежде чем начать проверку, нужно определить правила для процедуры, которую нужно запустить: DRC, LPE или LVS.

В статье будут описаны правила экстракции (LPE) МОП-транзисторов. Эти правила были использованы при разработке отечественного аналога ИМС 12-ти разрядного АЦП AD7892. ИМС изготавливается по БиКМОП технологии. Перечень слоев, используемых в ИМС, приведен в таблице 1.

Таблица1. Слои, используемые в ИМС

Номер слоя	Наименование слоя	Материал (примесь)	Наименование слоя в топологии
1	Подложка КДБ-12 <100>	бор	
2	N- скрытый слой	фосфор	NBUR
3	N+ скрытый слой	сурьма	N+BUR
4	P+ скрытый слой	бор	PBUR
5	Эпитаксиальная пленка	фосфор	
6	P карман	бор	WELL
7	Разделение	бор	ISO
8	Жесткая маска	SiO ₂	MASK
9	N база	фосфор	
10	P база	бор	
11	P+ диффузия	бор	PMOS
12	N+ диффузия	фосфор	NMOS
13	Подзатворный окисел	SiO ₂	TO
14	Поликремниевый затвор	фосфор	POLY1
15	N достройка	фосфор	NDOSTR
16	P достройка	бор	PDOSTR
17	ИД1	SiO ₂	CONT
18	Тонкопленочные низкоомные_резисторы	PC3710	
19	Тонкопленочные высокоомные_резисторы	PC3710	
20	Металл 1	Сплав АК1	MET1
21	ИД2	SiO ₂	VIA
22	Металл 2	Сплав АК1	MET2
23	Пассивация	SiO ₂	

Слои с номерами 9, 10, 18, 19 и 23 в МОП-транзисторах не используются. Структуры МОП-транзисторов показаны на рисунках 2 и 3.

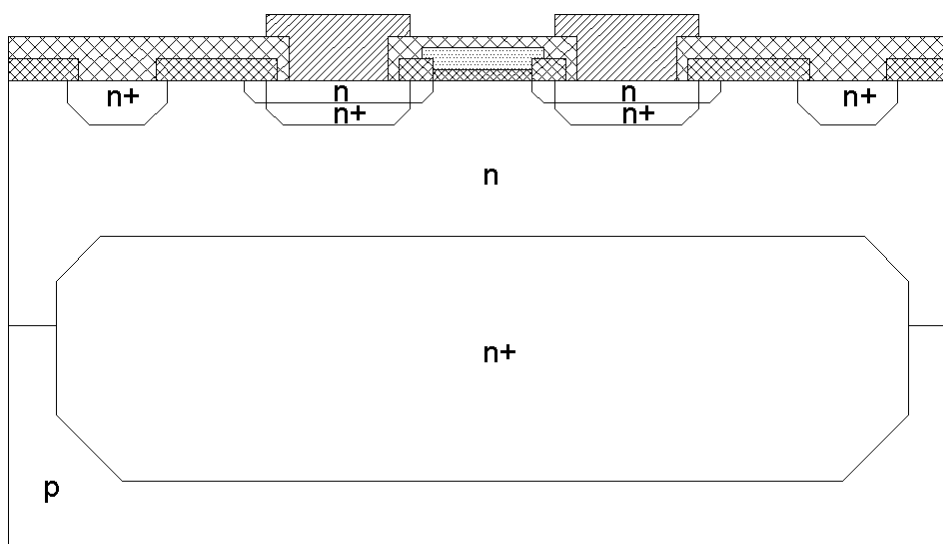


Рисунок 2 – Структура nМОП-транзистора

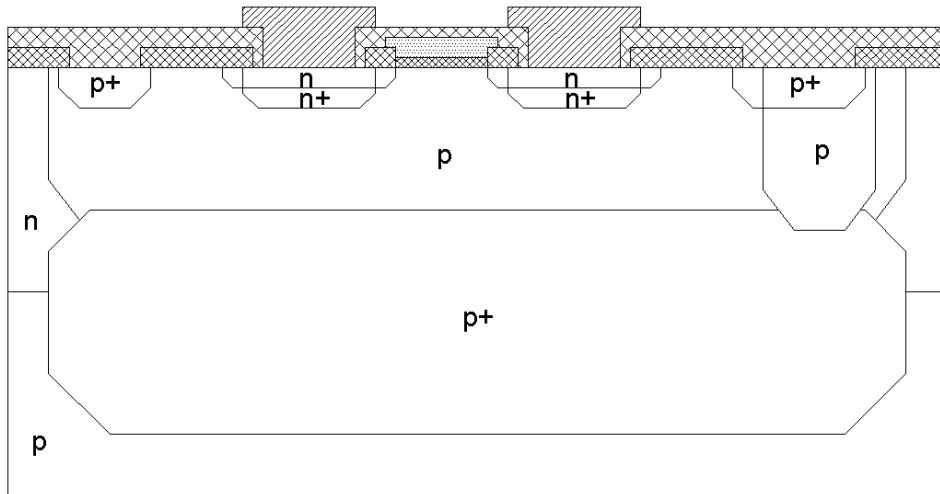


Рисунок 3 – Структура pМОП-транзистора

Ниже приводятся правила экстракции МОП-транзисторов.

drcExtractRules(

```

;Create Derived Layouts
bkgnd=geomBkgnd( )
N\+BUR=geomOr( "N+BUR" )
NBUR=geomOr( "NBUR" )
PBUR=geomOr( "PBUR" )
WELL=geomOr( "WELL" )
ISO=geomOr( "ISO" )
MASK=geomOr( "MASK" )
NMOS=geomOr( "NMOS" )
PMOS=geomOr( "PMOS" )
N\+=geomOr( "N+" )
P\+=geomOr( "P+" )
NDOSTR=geomOr( "NDOSTR" )
PDOSTR=geomOr( "PDOSTR" )
TO=geomOr( "TO" )
POLY1=geomOr( "POLY1" )
CONT=geomOr( "CONT" )
MET1=geomOr( "MET1" )
VIA=geomOr( "VIA" )
MET2=geomOr( "MET2" )

;Recognizing Layouts
;NMOS transistors
nwell=geomEnclose(geomAndNot(bkgnd WELL) PDOSTR)
ngate=geomOutside(geomAnd(geomAnd(geomAnd(POLY1 NDOSTR) TO)
MASK) NBUR)
nsd=geomAndNot(geomEnclose(geomEnclose(NDOSTR NMOS) MASK)
POLY1)
n_c_sd=geomAnd(nsd CONT)
ntap=geomEnclose(geomAnd(geomAnd(geomAnd(nwell geomEnclose
(N\+BUR PMOS) ) N\+) N\+BUR) MASK)
c_N\+=geomAnd(ntap CONT)

```

```

ntie=geomOr( ntap )

;PMOS transistors
pwell=geomEnclose(WELL NDOSTR)
pgate=geomAnd(geomAnd(geomAnd(POLY1 PDOSTR) TO) MASK)
psd=geomAndNot(geomEnclose(geomEnclose(PDOSTR PMOS) MASK)
POLY1)
p_c_sd=geomAnd(psd CONT)
ptap=geomEnclose(P\+ geomAnd(pwell geomAnd(MASK geom-
Size(geomAnd(ISO PBUR) 0.5) ) ) )
c_P\+=geomAnd(ptap CONT)
ptie=geomOr( ptap )

c_POLY1 = geomAnd(POLY1 CONT)

;Connectivity
geomConnect(
(via c_POLY1 POLY1 MET1)
(via VIA MET1 MET2)

;NMOS and PMOS transistors
(via n_c_sd nsd POLY1 MET1)
(via ntie N\+ ntap)
(via c_N\+ N\+ MET1)

;NMOS and PMOS transistors
(via p_c_sd psd POLY1 MET1)
(via ptie P\+ ptap)
(via c_P\+ P\+ MET1)

)

;Extraction for NMOS transistor
extractMOS(ngate POLY1 nsd pwell "nmos4 symbol analogLib")
saveProperty(ngate "model" "n")
saveRecognition(ngate "NMOS")

;Extraction for PNOS transistor
extractMOS(pgate POLY1 psd nwell "pmos4 symbol analogLib")
saveProperty(pgate "model" "p")
saveRecognition(pgate "PMOS")

;Save Interconnect Layouts
saveInterconnect(
(nsd "NMOS")
(N\+ "N+")
(psd "PMOS")
(P\+ "P+")

(POLY1 "POLY1")
(CONT "CONT")
(MET1 "MET1")
(VIA "VIA")

```

```
(MET2 "MET2" )
)

);drcExtractRules
```

Правила после строки “;Create Derived Layouts” содержат логическую функцию `geomOr`, которая преобразуют физические слои, в слои, которые затем используются в оставшейся части правил извлечения. Функция `geomOr` используется для сливания всех форм входных слоев.

Правила после строки “;Recognizing Layouts” создают новые слои для распознавания МОП-транзисторов и определения взаимных соединений между слоями. В этой группе правил распознаются затворы, стоки и истоки МОП-транзисторов и контакты к ним. Здесь используются логические функции, функции относительного выбора и функции изменения размеров. Для распознавания МОП-транзисторов используются логические функции `geomOr`, `geomAnd` и `geomAndNot`, функции относительного выбора `geomEnclose` и `geomOutside` и функцию изменения размеров `geomSize`.

Функция `geomAnd` генерирует новые формы из наложений исходных форм во входных слоях. Функция `geomAndNot` генерирует новые формы из областей первого входного слоя, которые не перекрывают никакую область второго входного слоя.

Функция `geomEnclose` выбирает формы на первом слое, которые полностью охватывают формы на втором слое. Функция `geomOutside` выбирает формы на первом слое, которые полностью лежат вне форм второго слоя.

Функция `geomSize` выполняет операцию увеличения или уменьшения размеров в заданном слое.

Функция `geomConnect` определяет соединения между слоями и устанавливает схему соединений, подлежащую извлечению. Все формы на проводящих слоях плюс перемычки приписываются электрическим цепям для использования последующими программами верификации *Diva*. Внутренняя функция, вводимая ключевым словом `via`, определяет слой перемычек и далее как минимум два проводящих слоя, соединяемых между собой. Положение форм на слое перемычек проверяется относительно форм на проводящих слоях, чтобы определить, образуют ли они электрические соединения.

Функция `extractMOS` извлекает из топологии МОП-транзисторы и сохраняет их в извлеченном виде схемы. Эта функция оптимизирована под МОП-транзисторы и может измерять ширину и длину затворов без дополнительных команд измерения.

Функция `saveProperty` сохраняет заранее заданное свойство элементов (в данном случае МОП-транзисторов), созданных с использованием команды `extractMOS`. В разработанных правилах сохраняется имя модели МОП-транзисторов.

Функция `saveRecognition` сохраняет формы распознавания извлеченных приборов, использованные в команде `extractMOS`, в извлеченном виде ячейки.

Функция `saveInterconnect` записывает слои для извлеченного вида ячейки. Здесь сохраняются слои, определенные в функции `geomConnect`, чтобы затем можно было проводить LVS проверку, то есть проверку соответствия между схемотехническим представлением схемы и ее экстрагированной топологией.

Согласно описанной стратегии с использованием этих и других функций пакета *Diva* были разработаны правила экстракции и других элементов, используемых в разработанной ИМС: биполярных транзисторов, диодов, резисторов и конденсаторов.

Литература

1. Virtuoso Layout Editor User Guide. Product version 5.0 – September 2003. Cadence.
2. Diva Reference. Product version 5.0 – July 2003. Cadence.